

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-110644

(43)Date of publication of application : 11.04.2003

(51)Int.Cl. H04L 27/36

H04L 27/20

(21)Application number : 2001-305992 (71)Applicant : NEC CORP

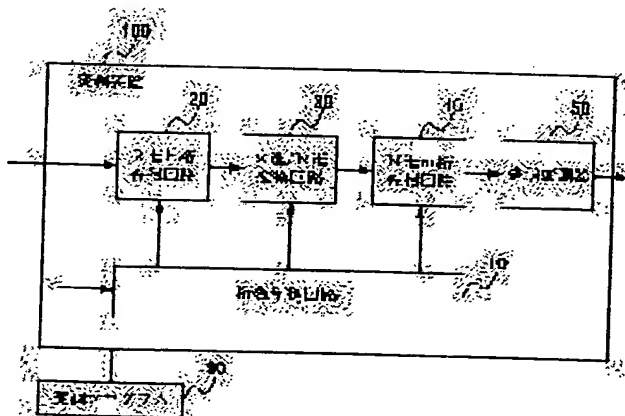
(22)Date of filing : 02.10.2001 (72)Inventor : NODA SEIICHI

## (54) MODULATOR, COMMUNICATION SYSTEM, AND MODULATION PROGRAM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a modulator that properly adopts also a value other than a power of 2 for a multi-value number in multi-value modulation so as to match a permitted transmission quantity of a communication channel with a communication speed being a requirement and use a transmission band without excess thereby utilizing effective utilization of frequency and power.

**SOLUTION:** The modulation applying phase modulation to communication data is characterized in that the modulator is provided with a storage circuit of storing received binary signal communication data, a conversion circuit that converts the stored binary signals by 11 set of the signals each into 7 ternary signals, and a multi-value modulator for generating a ternary signal and outputting it.



---

**LEGAL STATUS**

[Date of request for examination] 17.09.2002  
[Date of sending the examiner's decision of rejection] 08.07.2004  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection] 2004-16613  
[Date of requesting appeal against examiner's decision of rejection] 09.08.2004  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The modulator characterized by changing said commo data inputted into two or more multiple-value signals for every amount of data which was able to be defined beforehand, and carrying out a sequential output in the modulator which carries out the phase modulation of the commo data.

[Claim 2] The modulator according to claim 1 characterized by having the multi-level modulation machine which generates and outputs said multiple-value signal based on conversion of the register circuit which accumulates said commo data inputted, the conversion circuit which was able to define beforehand said commo data accumulated in the register circuit, and which is changed into said two or more of said multiple-value signals for every amount of data, and said conversion circuit.

[Claim 3] The modulator according to claim 1 or 2 characterized by making  $b$ ,  $C$ ,  $m$ , and  $N$  into an integral value, changing the commo data of a  $C$  value signal inputted into  $m$   $N$ -ary signals every  $b$  pieces one by one, and carrying out a sequential output.

[Claim 4] The modulator according to claim 3 characterized by setting said integral value  $C$  which is the number of multiple values of said commo data inputted to 2.

[Claim 5] The modulator according to claim 3 or 4 characterized by for the value of the  $m$ -th power of  $N$  setting beforehand said setup of each value of  $b$ ,  $C$ ,  $m$ , and  $N$  which is an integral value as a larger and, value near enough than the value of the  $b$ -th power of  $C$ , and equipping it with it.

[Claim 6] The modulator according to claim 3 or 4 characterized by determining said each integral value of  $b$ ,  $m$ , and  $N$ , changing said commo data into said  $m$   $N$ -ary signals, and carrying out a sequential output based on said decision based on the transmission speed required of said commo data to transmit as a transmission band usable now.

[Claim 7] The modulator of any one publication of claim 3 to claim 6 which carries out sequential conversion of the commo data of said C value signal inputted into b train at parallel at m N-ary signals at said every input, and is characterized by carrying out the sequential output of said m N-ary signals generated by said conversion as an N-ary signal parallel in m train.

[Claim 8] The modulator according to claim 7 which sets each aforementioned integral value to  $b=11$ ,  $C=2$ ,  $m=7$ , and  $N=3$ , carries out sequential conversion of the commo data of a binary signal inputted into 11 trains at parallel at seven 3 value signals at said every input, and is characterized by carrying out the sequential output of said seven 3 value signals generated by said conversion as 3 value signals parallel in seven trains.

[Claim 9] The modulator according to claim 7 which sets each aforementioned integral value to  $b=9$ ,  $C=2$ ,  $m=4$ , and  $N=5$ , carries out sequential conversion of the commo data of a binary signal inputted into nine trains at parallel at four 5 value signals at said every input, and is characterized by carrying out the sequential output of said four 5 value signals generated by said conversion as 5 value signals parallel in four trains.

[Claim 10] Communication system with which the modulator which carries out the phase modulation of the commo data to a multiple-value signal carries out sequential conversion at two or more multiple-value signals for every amount of data which was able to define said commo data inputted beforehand, and is characterized by transmitting to the demodulator which restores to said multiple-value signal in the communication system which performs the communication link by the multiple-value signal.

[Claim 11] Communication system according to claim 10 characterized by making b, C, m, and N into an integral value, and for said modulator changing the commo data of a C value signal inputted into m N-ary signals every b pieces one by one, and carrying out a sequential output.

[Claim 12] Communication system according to claim 11 characterized by setting said integral value C which is the number of multiple values of said commo data inputted to 2.

[Claim 13] Communication system according to claim 11 or 12 characterized by for the value of the m-th power of N setting beforehand said setup of each value of b, C, m, and N which is an integral value as a larger and, value near enough than the value of the b-th power of C, and equipping it with it.

[Claim 14] Communication system according to claim 11 or 12 characterized by determining said each integral value of b, m, and N, and for said modulator changing said commo data into said m N-ary signals, and carrying out a sequential output based on said decision based on the transmission speed required of said commo data to transmit as a transmission band

usable now.

[Claim 15] Communication system of any one publication of claim 11 to claim 14 which said modulator carries out sequential conversion of the commo data of said C value signal inputted into b train at parallel at m N-ary signals at said every input, and is characterized by carrying out the sequential output of said m N-ary signals generated by said conversion as an N-ary signal parallel in m train.

[Claim 16] Communication system according to claim 15 characterized by receiving said N-ary signal with said demodulator parallel in m train transmitted from said modulator, and getting over to a C value signal parallel in b train before the modulation by said modulator.

[Claim 17] Communication system according to claim 15 which each aforementioned integral value is set to  $b=11$ ,  $C=2$ ,  $m=7$ , and  $N=3$ , and said modulator carries out sequential conversion of the commo data of a binary signal inputted into 11 trains at parallel at seven 3 value signals at said every input, and is characterized by carrying out the sequential output of said seven 3 value signals generated by said conversion as 3 value signals parallel in seven trains.

[Claim 18] Communication system according to claim 15 which each aforementioned integral value is set to  $b=9$ ,  $C=2$ ,  $m=4$ , and  $N=5$ , and said modulator carries out sequential conversion of the commo data of a binary signal inputted into nine trains at parallel at four 5 value signals at said every input, and is characterized by carrying out the sequential output of said four 5 value signals generated by said conversion as 5 value signals parallel in four trains.

[Claim 19] The modulation program characterized by having the function which changes said commo data inputted into two or more multiple-value signals for every amount of data which was able to be defined beforehand, and carries out a sequential output in the modulation program which carries out the phase modulation of the commo data by controlling a computer.

[Claim 20] The modulation program according to claim 19 characterized by having the function which the value of the m-th power of N sets beforehand a setup of each value of b, C, m, and N which are an integral value as a larger and, value near enough than the value of the b-th power of C, is equipped with it, changes the commo data of a C value signal inputted into m N-ary signals every b pieces one by one, and carries out a sequential output.

[Claim 21] The modulation program according to claim 20 characterized by having the function which makes b, C, m, and N an integral value, changes the commo data of a binary signal inputted into m N-ary signals every b pieces one by one, and carries out a sequential output.

[Claim 22] The modulation program according to claim 20 or 21 characterized by setting said integral value C which is the number of multiple values of said comomo data inputted to 2.

[Claim 23] The modulation program according to claim 20 or 22 which carries out sequential conversion of the comomo data of said C value signal inputted into b train at parallel at m N-ary signals at said every input, and is characterized by having the function which carries out the sequential output of said m N-ary signals generated by said conversion as an N-ary signal parallel in m train.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the modulator which performs the communication link by multi-level modulation in digital microwave communication, communication system, and a modulation program about the modulation of signal transmission.

[0002]

[Description of the Prior Art] Especially multi-level modulation is a modulation technique used with digital microwave communication etc., there are QAM (Quadrature Amplitude Modulation: a quadrature amplitude modulation, rectangular amplitude phase modulation) and PSK (Phase Shift Keying: phase deviation modulation) in the conventional multi-level modulation, and 4QAM, 16QAM, 32QAM, 64QAM, 128QAM, 256QAM, —, etc. BPSK (2PSK), QPSK (4PSK), 8PSK, etc. are carried out.

[0003] The multiple-value signal which is generated by multi-level modulation and transmitted transmits the data which chose one from more values (4, 8 or 16 pieces, —) only from two pieces, "0" and "1", in the one symbol (one clock). For this reason, in the case of  $4 (= 2^2)$  QAM, 2-bit data can be transmitted as one symbol, in the case of  $16 (= 2^4)$  QAM, 4-bit data can be transmitted as one symbol, and, in the case of  $32 (= 2^5)$  QAM, 5-bit data can be transmitted as one symbol.

[0004] Thus, generally in the former, the number of multiple values of the multiple-value signal is made into the value of the exponentiation of 2 like 2, 4, 8, and 16 — from the reasons of the simplicity of a circuit etc.

[0005]

[Problem(s) to be Solved by the Invention] There was a trouble it is described below by the Prior art that mentioned above.

[0006] In the former, since the value (4, 8, 16, 32 —) of each number of multiple values which can be taken as a multiple-value signal was greatly

separated, respectively, it was difficult to use the transmission band of a communication line efficiently. If between the numbers of multiple values of this former (4, 8, 16, 32 —) left greatly can be filled using the numbers of multiple values other than the value of the exponentiation of two, more various frequencies and the combination of transmitted power can be adopted and a frequency and transmitted power will be used effectively more efficiently — things can be carried out.

[0007] Moreover, the difficulty of implementation by the complexity of circuitry of the modulation system which makes the number of multiple values other than the exponentiation of 2 has been mitigated by the advance of an integrated-circuit technique in recent years.

[0008] As a Prior art to this trouble, the system which assigns an input data train to general 2 or the general modulation symbol of two or more numbers is proposed in "the multiple-value strange recovery correspondence procedure and its system" which were indicated by JP,04-196945,A, for example. This conventional technique shows the general configuration of the multi-level modulation which uses the numbers of multiple values other than the value of the exponentiation of 2.

[0009] Moreover, for example, it makes it possible to make the number of multiple values into about  $2^{(p+0.5)}$  in "the multiple-value modem, the multiple-value strange recovery communication system, its strange recovery program, and the strange recovery approach" which were indicated by JP,2001-246891,A, and the technique of realizing multi-level modulation, such as 3PSK, 6PSK, and 12PSK—, is proposed.

[0010] However, with the conventional technique of this JP,2001-246891,A, the implementation approach of a method of transmitting 1.5 bits per one symbol in the case of a three-phase-circuit phase modulation is indicated — \*\*\*\* — it does not pass, but it is more efficient and, in the case of a three-phase-circuit phase modulation, neither a 1.571 — (= 11/7) bit nor a 1.583 — (= 19/12) bit can be transmitted per one symbol.

[0011] Furthermore, the technique currently indicated by "the multiple-value modem, the multiple-value strange recovery communication system, its strange recovery program, and the strange recovery approach" which were indicated by JP,2001-246890,A, for example is enabled to make the number of multiple values into about  $2^{(p+0.25)}$ , and the technique of realizing multi-level modulation, such as 10QAM, 20QAM, and 40QAM—, is proposed.

[0012] However, with the conventional technique of this JP,2001-246890,A, the communication links (5PSK, 5QAM, etc.) by 5 phase phase modulation are unrealizable.

[0013] The 1st purpose of this invention solves the fault of the



above-mentioned conventional technique, and is to offer the modulator which can use a frequency and transmitted power effectively using the numbers of multiple values other than the value of the exponentiation of 2, communication system, and a modulation program.

[0014] The 2nd purpose of this invention is the amount of information which solves the fault of the above-mentioned conventional technique and is transmitted to per one symbol in the case of a three-phase-circuit phase modulation 1.571 with the former higher than 1.5 bits — ( $= 11/7$ ) It is a bit and 1.583. — ( $= 19/12$ ) It is in offering the modulator which realizes a bit, communication system, and a modulation program.

[0015] The 3rd purpose of this invention solves the fault of the above-mentioned conventional technique, and is to offer the modulator which realizes the communication link by 5 phase phase modulation, communication system, and a modulation program.

[0016]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the modulator of this invention is characterized by changing said commo data inputted into two or more multiple-value signals for every amount of data which was able to be defined beforehand, and carrying out a sequential output in the modulator which carries out the phase modulation of the commo data.

[0017] The modulator of this invention of claim 2 is characterized by having the multi-level modulation machine which generates and outputs said multiple-value signal based on conversion of the register circuit which accumulates said commo data inputted, the conversion circuit which was able to define beforehand said commo data accumulated in the register circuit, and which is changed into said two or more of said multiple-value signals for every amount of data, and said conversion circuit.

[0018] The modulator of this invention of claim 3 is characterized by making  $b$ ,  $C$ ,  $m$ , and  $N$  into an integral value, changing the commo data of a  $C$  value signal inputted into  $m$   $N$ -ary signals every  $b$  pieces one by one, and carrying out a sequential output.

[0019] The modulator of this invention of claim 4 is characterized by setting said integral value  $C$  which is the number of multiple values of said commo data inputted to 2.

[0020] The modulator of this invention of claim 5 is characterized by for the value of the  $m$ -th power of  $N$  setting beforehand said setup of each value of  $b$ ,  $C$ ,  $m$ , and  $N$  which is an integral value as a larger and, value near enough than the value of the  $b$ -th power of  $C$ , and equipping it with it.

[0021] Based on the transmission speed required of said commo data to transmit as a transmission band usable now, the modulator of this invention

of claim 6 determines said each integral value of  $b$ ,  $m$ , and  $N$ , and is characterized by changing said commo data into said  $m$   $N$ -ary signals, and carrying out a sequential output based on said decision.

[0022] The modulator of this invention of claim 7 carries out sequential conversion of the commo data of said  $C$  value signal inputted into  $b$  train at parallel at  $m$   $N$ -ary signals at said every input, and is characterized by carrying out the sequential output of said  $m$   $N$ -ary signals generated by said conversion as an  $N$ -ary signal parallel in  $m$  train.

[0023] The modulator of this invention of claim 8 sets each aforementioned integral value to  $b=11$ ,  $C=2$ ,  $m=7$ , and  $N=3$ , carries out sequential conversion of the commo data of a binary signal inputted into 11 trains at parallel at seven 3 value signals at said every input, and is characterized by carrying out the sequential output of said seven 3 value signals generated by said conversion as 3 value signals parallel in seven trains.

[0024] The modulator of this invention of claim 9 sets each aforementioned integral value to  $b=9$ ,  $C=2$ ,  $m=4$ , and  $N=5$ , carries out sequential conversion of the commo data of a binary signal inputted into nine trains at parallel at four 5 value signals at said every input, and is characterized by carrying out the sequential output of said four 5 value signals generated by said conversion as 5 value signals parallel in four trains.

[0025] In the communication system which performs the communication link by the multiple-value signal, the communication system of this invention of claim 10 carries out sequential conversion at two or more multiple-value signals for every amount of data as which the modulator which carries out the phase modulation of the commo data to a multiple-value signal was able to determine said commo data inputted beforehand, and is characterized by transmitting to the demodulator which restores to said multiple-value signal.

[0026] Communication system of this invention of claim 11 is characterized by making  $b$ ,  $C$ ,  $m$ , and  $N$  into an integral value, and for said modulator changing the commo data of a  $C$  value signal inputted into  $m$   $N$ -ary signals every  $b$  pieces one by one, and carrying out a sequential output.

[0027] Communication system of this invention of claim 12 is characterized by setting said integral value  $C$  which is the number of multiple values of said commo data inputted to 2.

[0028] Communication system of this invention of claim 13 is characterized by for the value of the  $m$ -th power of  $N$  setting beforehand said setup of each value of  $b$ ,  $C$ ,  $m$ , and  $N$  which is an integral value as a larger and, value near enough than the value of the  $b$ -th power of  $C$ , and equipping it with it.

[0029] The communication system of this invention of claim 14 determines said each integral value of  $b$ ,  $m$ , and  $N$  as the transmission band where said

modulator is usable now based on the transmission speed required of said commo data to transmit, and it is characterized by changing said commo data into said  $m$   $N$ -ary signals, and carrying out a sequential output based on said decision.

[0030] The communication system of this invention of claim 15 carries out sequential conversion of the commo data of said  $C$  value signal with which said modulator is inputted into  $b$  train at parallel at  $m$   $N$ -ary signals at said every input, and it is characterized by carrying out the sequential output of said  $m$   $N$ -ary signals generated by said conversion as an  $N$ -ary signal parallel in  $m$  train.

[0031] It is characterized by for the communication system of this invention of claim 16 receiving said  $N$ -ary signal with said demodulator parallel in  $m$  train transmitted from said modulator, and restoring to it to a  $C$  value signal parallel in  $b$  train before the modulation by said modulator.

[0032] The communication system of this invention of claim 17 sets each aforementioned integral value to  $b=11$ ,  $C=2$ ,  $m=7$ , and  $N=3$ . Said modulator carries out sequential conversion of the commo data of a binary signal inputted into 11 trains at parallel at seven 3 value signals at said every input, and is characterized by carrying out the sequential output of said seven 3 value signals generated by said conversion as 3 value signals parallel in seven trains.

[0033] The communication system of this invention of claim 18 sets each aforementioned integral value to  $b=9$ ,  $C=2$ ,  $m=4$ , and  $N=5$ . Said modulator carries out sequential conversion of the commo data of a binary signal inputted into nine trains at parallel at four 5 value signals at said every input, and is characterized by carrying out the sequential output of said four 5 value signals generated by said conversion as 5 value signals parallel in four trains.

[0034] The modulation program of this invention of claim 19 is characterized by having the function which changes said commo data inputted into two or more multiple-value signals for every amount of data which was able to be defined beforehand, and carries out a sequential output by controlling a computer in the modulation program which carries out the phase modulation of the commo data.

[0035]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0036] Drawing 1 is the block diagram showing the configuration of the modulator 100 by the gestalt of operation of the 1st of this invention. If drawing 1 is referred to, the modulator of the gestalt of this operation is equipment which carries out a phase modulation to an  $N$ -ary signal and

which is outputted to it in response to the input of the binary signal which is the usual signal transmission, and is equipped with the digit count control circuit 10, the b figures register circuit 20 of binary, the binary / N-ary conversion circuit 30, the m figures register circuit 40 of N-ary, and the multi-level modulation machine 50.

[0037] Here, b, N, and m show an integral value, respectively. For example, three or more integers are used for N which is the number of multiple values of an output signal, it is  $2^b \leq N^m$  and each value of b and m ( $\geq 1$ ) is set that  $2^b$  and  $N^m$  serve as a near value.

[0038] The b figures register circuit 20 (register circuit) of binary is a circuit which accumulates the commo data inputted, and accumulates a binary signal in every b figure (b pieces) here.

[0039] Binary / N-ary conversion circuit 30 (conversion circuit) takes out the commo data of the binary signal accumulated in the b figures register circuit 20 of binary every b figures, and changes it into the N-ary signal of m figures (m pieces).

[0040] The m figures register circuit 40 (transmit data register circuit) of N-ary accumulates the N-ary signal changed by binary / N-ary conversion circuit 30.

[0041] The multi-level modulation machine 50 outputs the N-ary signal accumulated in the m figures register circuit 40 of N-ary. The multi-level modulation machine 50 is outputted as a multiple-value signal by PSK or QAM.

[0042] The digit count control circuit 10 controls each part in the modulator 100 of the gestalt of these book operation.

[0043] Next, actuation of the modulator 100 of the gestalt of this operation is explained. Drawing 3 is a flow chart for explaining actuation of the modulator 100 by the gestalt of this operation.

[0044] First, the commo data of a binary signal is inputted into the input terminal of a modulator 100, and the b figures register circuit 20 of binary carries out sequential are recording of this. Here, the b figures register circuit 20 of binary is accumulated every b figures as a binary signal (step 301).

[0045] And binary / N-ary conversion circuit 30 changes into the N-ary signal of m figures the binary signal accumulated in the b figures register circuit 20 of binary every b figures (step 302).

[0046] And the m figures register circuit 40 of N-ary carries out sequential are recording of this changed N-ary signal of m figures, and the multi-level modulation machine 50 outputs this accumulated N-ary signal (step 303).

[0047] Moreover, in this the actuation of a series of, the digit count control circuit 10 performs accommodation of the clock rate of the binary signal

inputted and the N-ary signal to output etc. For example, the digit count control circuit 10 performs control which outputs an N-ary signal with a clock rate twice  $(m/b)$  the clock rate of the binary signal inputted.

[0048] In order for conversion by binary / N-ary conversion circuit 30 to be realizable here, it is required for the information shown by  $b$  binary signals to be able to express completely with  $m$  N-ary signals. For this reason, each integral value of  $b$ ,  $N$ , and  $m$  needs to fulfill the conditions of  $2^b \leq N^m$ . Moreover, it is desirable that  $2^b$  of amount of information per one symbol of the N-ary signal after conversion decreases, and each value of  $2^b$  and  $N^m$  has it since communicative effectiveness is bad when sharply fewer than  $N^m$ . [ fully near ]

[0049] Moreover, transform processing by binary / N-ary conversion circuit 30 can consider that  $b$  binary signals of for example, a changing agency are the binary numbers of  $b$  figures, can consider that  $m$  N-ary signals after conversion are the numbers of N-ary of  $m$  figures, and can change them into a meaning by adopting the processing which changes the numeric representation to the number of N-ary from a binary number.

[0050] By a series of actuation of the modulator 100 of the gestalt of this above operation, the usual commo data based on the binary signal inputted is gathered every  $b$  pieces, and this is changed into  $m$  N-ary signals, and a phase modulation can be carried out to an N-ary signal, and it can output to it.

[0051] Moreover, if it indicates the clock rate of the binary signal inputted to be  $R_2$  and indicates the clock rate of the N-ary signal to output to be  $R_N$ , the modulator 100 of the gestalt of this operation has the relation of  $R_N = (m/b) * R_2$ , and (since usual is  $2 < N$  and  $b > m$ ), it can send out a signal with a late clock rate. Moreover, in a fixed transmission band, more amount of information can be transmitted by this, and the effectiveness that the transmission band needed in a band limit channel is compressible into  $(m/b)$  is acquired.

[0052] Moreover, although conversion to the  $m$  N-ary signal is realized when the  $b$  figures register circuit 20 of binary accumulates the binary signal inputted collectively every  $b$  pieces one by one in the above-mentioned explanation For example, when the commo data inputted is the binary signal inputted into  $b$  train at parallel, the method which changes the  $b$  inputted binary signal into  $m$  N-ary signals one by one for every clock can also be adopted. Moreover,  $m$  N-ary signals after this conversion can also be made to output to  $m$  train as a parallel N-ary signal.

[0053] Drawing 2 is the block diagram showing the configuration of the communication system 300 by the gestalt of this operation. A phase modulation is carried out in the modulator 100 of the gestalt of this

operation, the demodulator 200 of a transmission place receives this and the N-ary signal outputted carries out a phase modulation to the binary signal before a modulator 100 changes.

[0054] Transform processing from the N-ary signal by this demodulator 200 to a binary signal can accumulate the N-ary signal which can perform like the modulator 100 of the gestalt of this operation, for example, is transmitted, and can change and output it to b binary signals one by one every m pieces.

[0055] Although [ than the information which can be shown by b binary signals after conversion ] more, since the information which can be shown like the above-mentioned explanation with m N-ary signals which are changing agencies is the signal which changed the binary signal in every b pieces into m N-ary signals, and generated it, in transform processing of this demodulator 200, it can change the N-ary signal of a changing agency into a meaning, without the signal after conversion running short of information. In transform processing of this demodulator 200, the processing which changes the numeric representation to a binary number from the number of N-ary is employable like the case of a modulator 100.

[0056] Next, various examples of the modulator of the gestalt of this operation are explained.

[0057] Drawing 4 is an example in the case of setting to  $b = 11$ ,  $N = 3$ , and  $m = 7$  the value of each integer which is the block diagram showing the configuration of modulator 100a of the 1st example, and was explained previously, and changes the binary signal of 11 figures into 3 value signals of 7 figures.

[0058] When drawing 4 is referred to, modulator 100a of this example 11 figures register-circuit 20 of binary a which accumulates the binary signal inputted every 11 figures, Binary ternary conversion circuit 30a which changes the signal of 11 figures of binary into the signal of 7 figures of ternaries, It has 7 figures register-circuit 40 of three values a which carries out sequential are recording of this changed 3 value signal of 7 figures, multi-level modulation machine 50a which outputs the N-ary signal accumulated in 7 figures register-circuit 40 of three values a, and digit count control circuit 10a which controls each of these circuits.

[0059] Actuation of modulator 100a of this example is the same as that of the flow chart of drawing 3, and first, 11 figures register-circuit 20 of binary a receives the commo data of a binary signal inputted into an input terminal, and accumulates it every 11 figures as a binary signal.

[0060] And binary ternary conversion circuit 30a changes into seven 3 value signals the binary signal accumulated in 11 figures register-circuit 20 of binary a every 11 pieces. This transform processing is convertible for a

meaning by using the approach of changing the binary number of 11 figures into the number of ternaries of 7 figures.

[0061] And 7 figures register-circuit 40 of three values a accumulates 3 value signals changed by this binary ternary conversion circuit 30a, and multi-level modulation machine 50a outputs that accumulated 3 value signal.

[0062] In this case, digit count control circuit 10a performs control which outputs 3 value signals with a clock rate twice (7/11) the clock rate of the binary signal inputted, control which sets the digit count of a binary signal and 3 value signals to 11 and 7, respectively.

[0063] Moreover, modulator 100a of this example may change the 11 inputted binary signal into seven 3 value signals one by one for every clock, and may be made to output it to seven trains as 3 parallel value signals one by one in response to the input of the binary signal inputted into 11 trains at parallel.

[0064] Drawing 5 is a timing diagram which shows actuation of the 1st example shown in drawing 4, and if drawing 5 is referred to, 11 figures register-circuit 20 of binary a will accumulate the binary signal inputted first. And binary ternary conversion circuit 30a takes out the binary signal accumulated in 11 figures register-circuit 20 of binary a every 11 figures (every 11 pieces), and changes into the signal of 7 figures of ternaries. And it considers as the modulating signal with which 7 figures register-circuit 40 of three values a accumulates this changed 3 value signal of 7 figures, carries out time multiplied of the parallel signal of 7 figures, and inputs 3 value signals of a single tier into multi-level modulation machine 50a in time. And multi-level modulation machine 50a outputs this modulating signal as a modulated wave.

[0065] Therefore, the time amount of 11 bits of the binary signal inputted Since it is equivalent to 7 figures of 3 value signals and this 3 value signal of 7 figures is put in order by the single tier in time If the clock rate of the binary signal inputted is indicated to be  $R_2$  and the clock rate of 3 value signals to output is indicated to be  $R_3$ , the relation of  $R_3 = (7/11) * R_2$  can be materialized, and a modulating signal can be outputted with the clock rate which it is. Therefore, the effectiveness that a transmission band is compressible into (7/11) in a band limit channel is acquired.

[0066] Next, the 2nd example of the gestalt of this operation is explained. Although the 1st example explained the case of  $N=3$ ,  $b=11$ , and  $m=7$ , modulator 100b of the 2nd example which shows a configuration to drawing 6 is an example set to  $N=5$ ,  $b=9$ , and  $m=4$ .

[0067] When drawing 6 is referred to, modulator 100b of this example 9 figures register-circuit 20 of binary b which accumulates the binary signal

inputted every 9 figures, Binary quinary conversion circuit 30b which changes the signal of 9 figures of binary into the signal of 4 figures of quinary, It has 4 figures register-circuit 40 of five values b which carries out sequential recording of this changed 5 value signal of 4 figures, multi-level modulation machine 50b which outputs 5 value signals accumulated in 4 figures register-circuit 40 of five values b, and digit count control circuit 10b which controls each of these circuits.

[0068] It is the same as that of the flow chart of drawing 3, and first, 9 figures register-circuit 20 of binary b receives the commo data of a binary signal inputted into an input terminal, and also accumulates actuation of modulator 100b of this example every 9 figures as a binary signal.

[0069] And binary quinary conversion circuit 30b changes into four 5 value signals the binary signal accumulated in 9 figures register-circuit 20 of binary b every nine pieces. This transform processing is convertible for a meaning by using the approach of changing the binary number of 9 figures into the number of quinary of 4 figures.

[0070] And 4 figures register-circuit 40 of five values b accumulates 5 value signals changed by this binary quinary conversion circuit 30b, and multi-level modulation machine 50b outputs that accumulated 3 value signal.

[0071] In this case, digit count control circuit 10b performs control which outputs 5 value signals with a clock rate twice ( $4/9$ ) the clock rate of the binary signal inputted, control which sets the digit count of a binary signal and 5 value signals to 9 and 4, respectively.

[0072] Therefore, 5 phase phase modulation is realized in this example. If the transmission band of BPSK is expressed as 1 at this time, it is indicated that the transmission band of QPSK is considerable ( $1/2$ ), and a transmission band can be made into ( $1/2.25$ ) in 5 phase phase modulation of this example.

[0073] Therefore, it can communicate by applying this this example etc., using a transmission band more efficiently than before. Although he wants to transmit commo data with the transmission speed of 100Mbps, a frequency band 45M (symbol/sec) considerable deer for example, when there is nothing Since the number of multiple values of multi-level modulation needed to be chosen as each like 4, 8, 16, and — with the conventional technique from the numeric values which separated greatly, In 8PSK, since a band passes not much since it is set to 33.3M (symbol/sec), and it is set to 50M (symbol/sec) in QPSK (4PSK), a band can be insufficient and cannot use it.

[0074] In such a case, by using 5PSK of the 2nd example, since a modulation rate is made with 44.4M (symbol/sec) ( $=100M * (4/9)$ ),



transmission of it is attained.

[0075] Moreover, in a band limit channel, since the S/N which realizes a digital error rate necessary by using a transmission band widely without a surplus is improvable, it is important to make a permission transmission band adjust the number of transmitted bits per one symbol. In the above-mentioned example, when a transmission band is made to remain and 8PSK is used, in order to attain the 6th power of minus of 10 by the digital error rate, 18.91dB is needed with a signal-to-noise ratio, but if 5PSK of this application is applied, the same digital error rate can be attained by 15.1dB.

[0076] Thus, while being able to use a transmission band effectively, the effectiveness that the use effectiveness of power is also improvable is acquired.

[0077] Furthermore, the modulator of the gestalt of this operation can consider the example of various parameters, as shown in drawing 7 and drawing 8, and it can perform a more efficient communication link than that of a three-phase-circuit phase modulation or 5 phase phase modulation. About these examples, drawing 9 is made to contrast the number of transmitted bits per one symbol with the conventional technique, and it is shown in it.

[0078] that is, the number of transmitted bits per one symbol in multi-level modulation — the case of 3 value transmission —  $\text{Log}3/\text{Log} 2 = 1.58496$  — the case where the value near ... can be realized and it is 5 value transmission —  $\text{Log}5/\text{Log} 2 = 2.321928$  — the value near ... is realizable.

[0079] Next, the gestalt of operation of others of this invention is explained.

[0080] Drawing 10 is the block diagram showing the configuration of modulator 100c by the gestalt of operation of the 2nd of this invention. In the gestalt of the 1st operation, although it was the method which makes the commo data inputted the C value signal which is the usual signal transmission, this invention is not limited to this and can carry out similarly the method which changes and outputs this to the multiple-value signal of other numbers of multiple values in response to the input of a multiple-value signal.

[0081] Modulator 100c of the gestalt of this operation carries out the phase modulation of the C value signal inputted to an N-ary signal, and outputs it to it. This number C of multiple values is integers, such as 2, 3, 4, and 5 —.

[0082] Actuation of modulator 100c of this example is the same as that of the gestalt of the 1st operation, and first, b figures register-circuit 20 of C value c receives the commo data of a C value signal inputted into an input terminal, and accumulates it every b figures as a C value signal.

[0083] And C \*\* N-ary conversion circuit 30c changes into m N-ary signals

the C value signal accumulated in b figures register—circuit 20 of C value c every b pieces. This transform processing is convertible for a meaning by using the approach of changing the number of C \*\* of b figures into the number of N-ary of m figures.

[0084] And m figures register—circuit 40 of N-ary c accumulates the N-ary signal changed by this C \*\* N-ary conversion circuit 30c, and multi-level modulation machine 50c outputs that accumulated 3 value signal.

[0085] In this case, digit count control circuit 10c controls outputting an N-ary signal with a clock rate twice (m/b) the clock rate of the C value signal inputted etc.

[0086] In addition to the effectiveness of the gestalt of the 1st operation, according to the gestalt of this operation, this can be changed and outputted to the multiple-value signal of other numbers of multiple values in response to the input of a multiple-value signal.

[0087] Moreover, the gestalt which the modulator itself determines the value of each integer of b, m, and N as the transmission band of this invention usable now based on the transmission speed required of the commo data to transmit, changes commo data into m N-ary signals based on the decision, and carries out a sequential output is still more possible as a gestalt of other operations. Processing which determines the value of each of this integer of b, m, and N is carried out to making it perform in a digit count control circuit etc.

[0088] Also in the gestalt of this operation, although it is not necessary to restrict the commo data inputted to a binary signal, the case where the input of a binary signal is received below is explained to an example.

[0089] That is, the actuation which is equipped with the function to set up freely the number of multiple values which carries out a phase modulation in the gestalt of this operation, and changes the number of multiple values acquires the transmission speed (for example, 100M (bps)) required of transmit data, detects the amount (for example, 45M (symbol/sec)) of a current transmission band, and determines each integral value of b, m, and N according to transmission speed and a transmission band.

[0090] It can be decided by the processing which determines this number of multiple values as the number of multiple values after a modulation like the above-mentioned explanation as a larger integral value than  $2^{(100/45)}$  = 4.666 — that it will be N= 5. And based on the value of 2 which is these N= 5 multiple values and the number of multiple values of an input signal, as shown in drawing 8, the usable value of b and m is determined.

[0091] The method (for example, N= 5 if it becomes b= 9, m=4 grade) beforehand equipped with a setup of the value to choose to N value each, the method which makes automatic selection according to the selection

approaches (the method which thinks communication link effectiveness as important, method with which the required amount of data of are recording thinks few things as important) specified beforehand are possible for the value of  $b$  and  $m$ . This value of  $b$  and  $m$  can perform a more efficient communication link, as the direction which sets up a bigger value is shown in drawing 8. Moreover, the direction which sets up a smaller value can lessen the data which need are recording in a modulator.

[0092] And the modulator of the gestalt of this operation carries out the phase modulation of the commo data to the newly determined  $N$ -ary signal, and is transmitted.

[0093] In addition to the effectiveness of the gestalt of the 1st operation, according to the gestalt of this operation, it can communicate flexibly more appropriately using a transmission band.

[0094] In addition, the gestalt of each above-mentioned implementation and the modulators 100, 100a, 100b, and 100c of an example can realize the modulation programs 90, 90a, 90b, and 90c which are computer programs equipped with each function as of course realizing the function of a digit count control circuit or a conversion circuit, and other functions in hardware in being loaded to the memory of computer processing equipment. These modulation programs 90, 90a, 90b, and 90c are stored in the record medium of a magnetic disk, and semiconductor memory and others. And it is loaded to computer processing equipment from the record medium, and each function mentioned above is realized by controlling actuation of computer processing equipment.

[0095] Although the gestalt and example of desirable operation were given above and this invention was explained, this invention is not necessarily limited to the gestalt and example of the above-mentioned implementation, can deform within the limits of the technical thought variously, and can be carried out.

[0096]

[Effect of the Invention] According to the modulator of this invention, communication system, and the modulation program, the following effectiveness is attained as explained above.

[0097] In this invention, by accumulating the commo data inputted, commo data can be changed into two or more multiple-value signals for every amount of data which was able to be defined beforehand, and a sequential output can be carried out. For this reason, in the conventional multi-level modulation, multi-level modulation which chose the various numbers of multiple values flexibly can be realized by this invention to having come considering the number of multiple values of multi-level modulation as power of 2 like 4QAM, 16QAM, 32QAM, 64QAM, 128QAM, and 256QAM—,

without needing to not necessarily make the number of multiple values into the exponentiation of 2.

[0098] By QPSK (4PSK), the three-phase-circuit phase modulation explained in the 1st example of the gestalt of operation of the 1st of this invention as the effectiveness can be used as the middle modulation technique, when not going into the frequency band which allowances are in a frequency band too much, and BPSK (2PSK) requires but. Consequently, since a three-phase-circuit phase modulation is realizable with the signal-to-noise ratio of little business with a deployment of a frequency compared with QPSK, the effectiveness of a deployment of power is also acquired.

[0099] In this invention, as shown in drawing 7 and drawing 8, a phase modulation with various parameters can be carried out, and an efficient communication link can be performed. the number of transmitted bits per one symbol in multi-level modulation — the case of 3 value transmission —  $\text{Log}3/\text{Log } 2 = 1.58496$  — the case where the value near ... can be realized and it is 5 value transmission —  $\text{Log}5/\text{Log } 2 = 2.321928$  — the value near ... is realizable.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram showing the configuration of the modulator by the gestalt of operation of the 1st of this invention.

**[Drawing 2]** It is the block diagram showing the configuration of the communication system by the gestalt of operation of the 1st of this invention.

**[Drawing 3]** It is a flow chart for explaining actuation of the modulator by the gestalt of operation of the 1st of this invention.

**[Drawing 4]** It is the block diagram showing the configuration of the modulator of the 1st example of this invention.

**[Drawing 5]** It is the timing chart of the modulator of the 1st example of this invention.

**[Drawing 6]** It is the block diagram showing the configuration of the modulator of the 2nd example of this invention.

**[Drawing 7]** It is drawing showing the parameter of the modulator of the 1st example of this invention.

**[Drawing 8]** It is drawing showing the parameter of the modulator of the 2nd example of this invention.

**[Drawing 9]** It is drawing showing the effectiveness realized according to each example of this invention.

**[Drawing 10]** It is the block diagram showing the configuration of the modulator by the gestalt of operation of the 2nd of this invention.

**[Description of Notations]**

- 100, 100a, 100b, 100c Modulator
- 10 Digit Count Control Circuit
- 20 Register Circuit
- 30 Conversion Circuit
- 40 Transmit Data Register Circuit
- 50 Multi-level Modulation Machine

90, 90a, 90b, 90c Modulation program  
110 Transmitter  
200 Demodulator  
210 Receiver  
300 Communication System

---

[Translation done.]

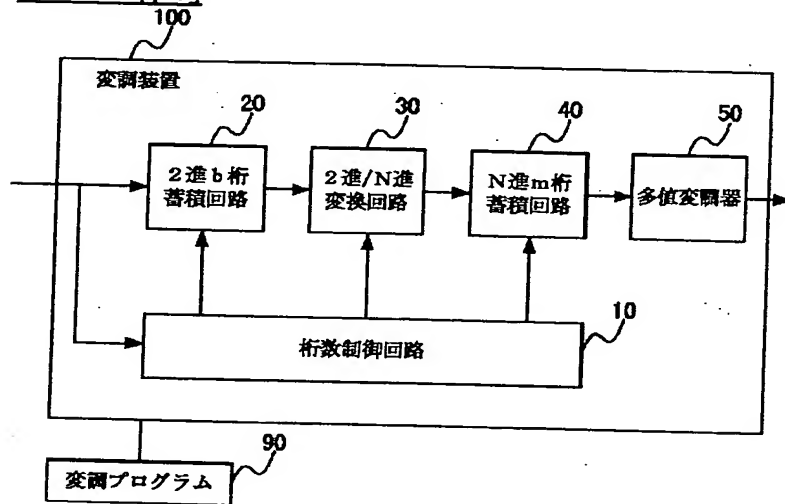
\* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

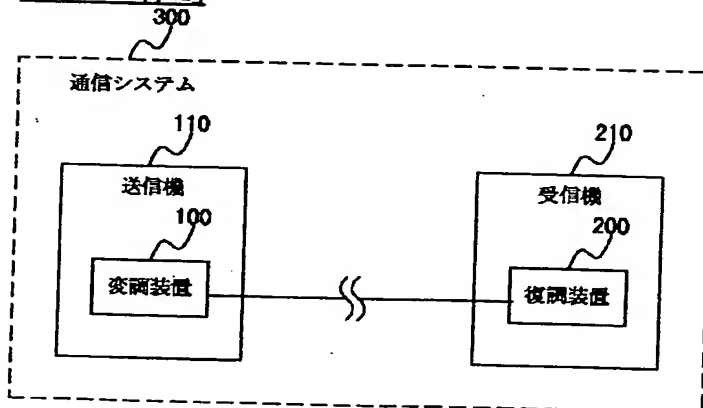
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

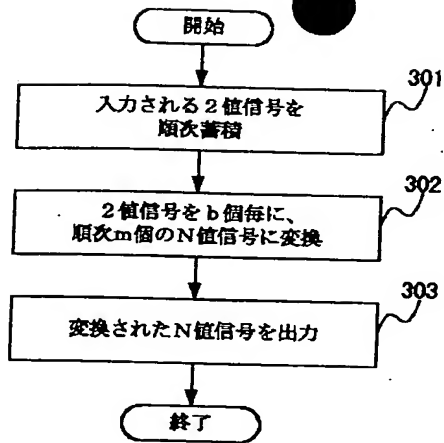
[Drawing 1]



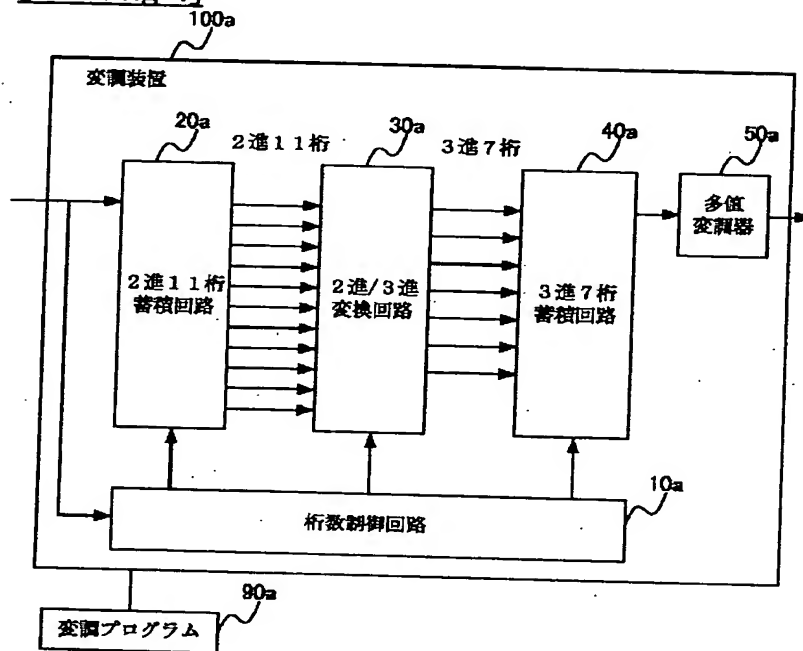
[Drawing 2]



[Drawing 3]



[Drawing 4]

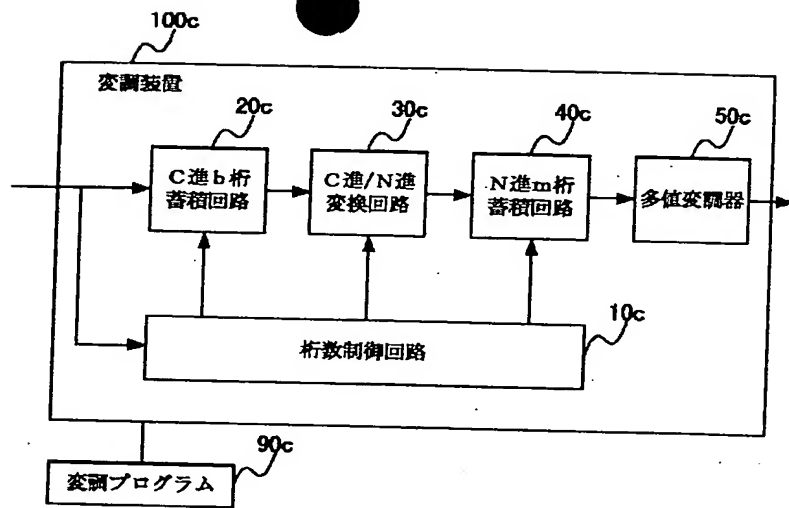


[Drawing 7]

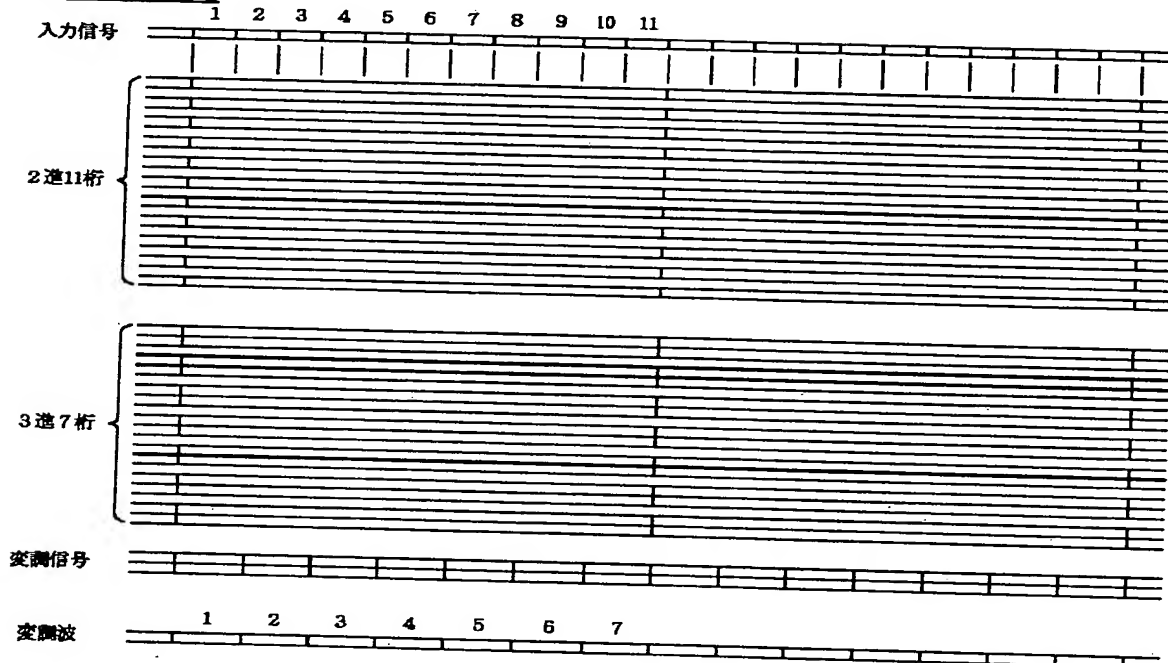
N = 3 の場合 (参考: $\log 3 / \log 2 = 1.58496 \dots$ )				
b 2進信号の桁数	m 3進信号の桁数	$2^b$	$3^m$	$b/m$ 2値信号に対する クロック速度の比
3	2	8	9	1.500...
11	7	2048	2187	1.571...
19	12	524288	531441	1.583...
.	.	.	.	.
.	.	.	.	.

[Drawing 10]

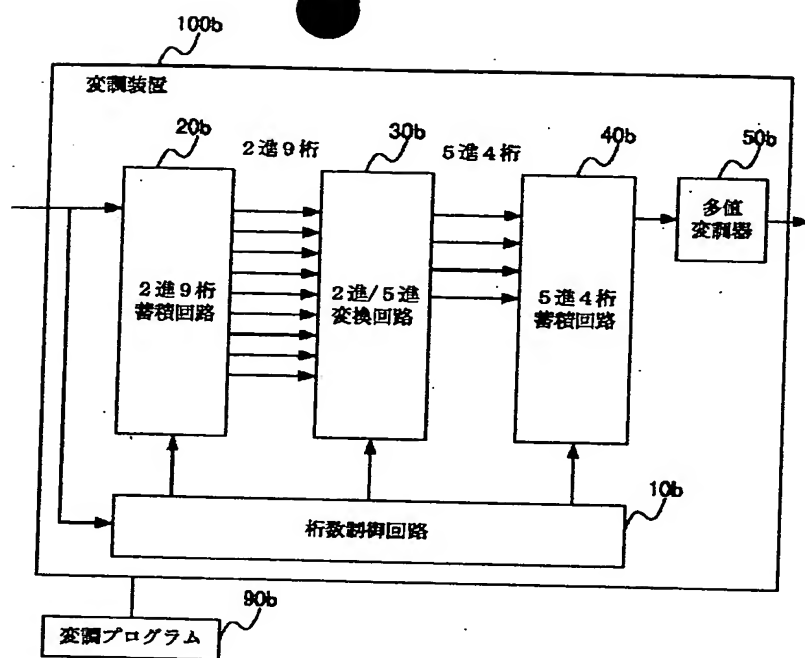




[Drawing 5]



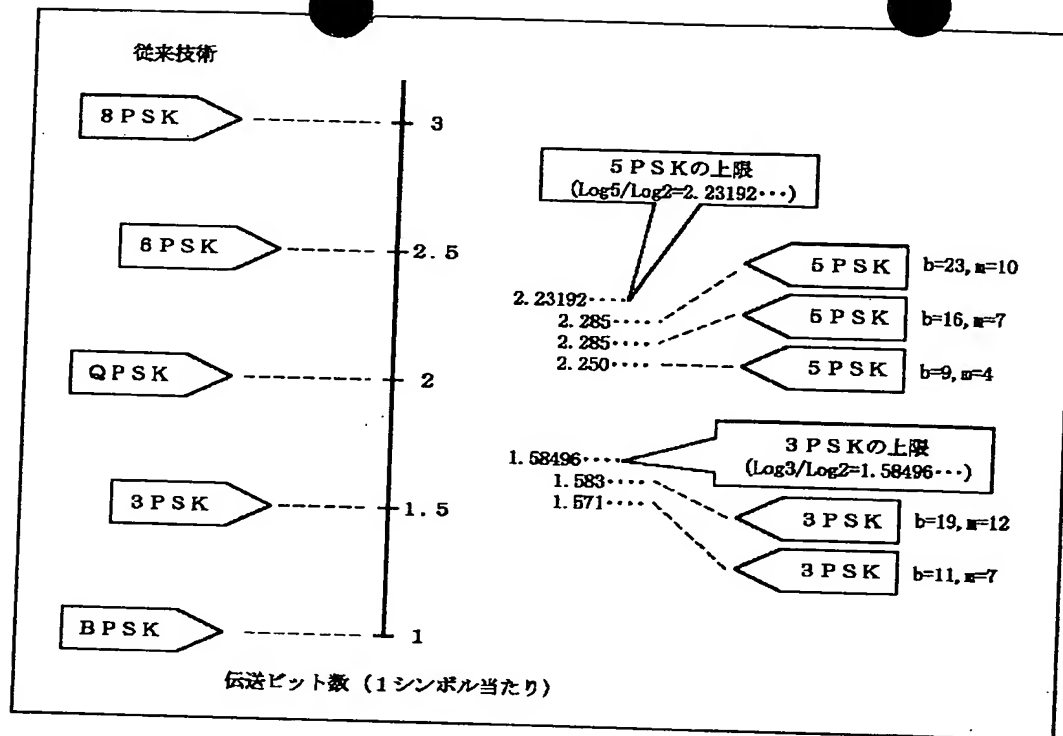
[Drawing 6]



[Drawing 8]

N=5の場合 (参考: $\log_5/\log_2=2.32192\dots$ )				
b 2進信号の桁数	m 5進信号の桁数	$2^b$	$5^m$	$b/m$ 2値信号に対する クロック速度の比
9	4	512	625	2.25...
16	7	65536	78125	2.285...
23	10	8388608	9765625	2.3
.	.	.	.	.
.	.	.	.	.

[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-110644

(P2003-110644A)

(43) 公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.<sup>7</sup>

H 0 4 L 27/36  
27/20

識別記号

F I

H 0 4 L 27/20  
27/00

テームコード(参考)

A 5 K 0 0 4  
F

審査請求 有 請求項の数23 O L (全 11 頁)

(21) 出願番号 特願2001-305992(P2001-305992)

(22) 出願日 平成13年10月2日(2001.10.2)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 野田 誠一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100093595

弁理士 松本 正夫

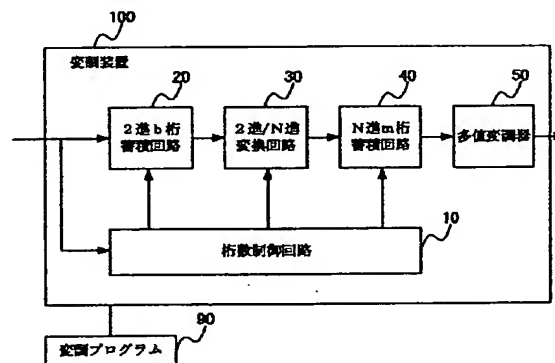
Fターム(参考) 5K004 AA05 AA08 FE10 FF00 JE03  
JF00

(54) 【発明の名称】 変調装置、通信システム、変調プログラム

(57) 【要約】

【課題】 多値変調における多値数において2のべき乗以外の値をも適切に採用することにより、通信回線の許容伝送量と要求される通信速度とを整合させ伝送帯域を余剰なく使用し、周波数及び電力の有効利用を実現する変調装置を提供する。

【解決手段】 通信データを位相変調する変調装置において、入力される2値信号の通信データを蓄積する蓄積回路と、蓄積された2値信号を11個毎に7個の3値信号に変換する変換回路と、3値信号を生成し出力する多値変調器を備えることを特徴とする。



## 【特許請求の範囲】

【請求項1】 通信データを位相変調する変調装置において、

入力される前記通信データを、予め定められたデータ量毎に複数の多値信号に変換して順次出力することを特徴とする変調装置。

【請求項2】 入力される前記通信データを蓄積する蓄積回路と、

蓄積回路に蓄積された前記通信データを、予め定められたデータ量毎に前記複数の前記多値信号に変換する変換回路と、

前記変換回路の変換に基づく前記多値信号を生成し出力する多値変調器を備えることを特徴とする請求項1に記載の変調装置。

【請求項3】  $b$ 、 $C$ 、 $m$ 、 $N$ を整数値とし、

入力される $C$ 値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする請求項1又は請求項2に記載の変調装置。

【請求項4】 入力される前記通信データの多値数である前記整数値 $C$ を、2とすることを特徴とする請求項3に記載の変調装置。

【請求項5】 整数値である前記 $b$ 、 $C$ 、 $m$ 、 $N$ の各値の設定を、 $N$ の $m$ 乗の値が、 $C$ の $b$ 乗の値よりも大きくかつ十分に近い値に予め設定して備えることを特徴とする請求項3又は請求項4に記載の変調装置。

【請求項6】 現在使用可能な伝送帯域と、送信する前記通信データに要求される通信速度に基づいて、前記 $b$ 、 $m$ 、 $N$ の各整数値を決定し、前記決定に基づいて前記通信データを前記 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする請求項3又は請求項4に記載の変調装置。

【請求項7】  $b$ 列にバラレルに入力される前記 $C$ 値信号の通信データを、前記入力の度に $m$ 個の $N$ 値信号に順次変換し、前記変換により生成された前記 $m$ 個の $N$ 値信号を、 $m$ 列にバラレルな $N$ 値信号として順次出力することを特徴とする請求項3から請求項6のいずれか1つに記載の変調装置。

【請求項8】 各前記整数値を $b=11$ 、 $C=2$ 、 $m=7$ 、 $N=3$ とし、

11列にバラレルに入力される2値信号の通信データを、前記入力の度に7個の3値信号に順次変換し、前記変換により生成された前記7個の3値信号を、7列にバラレルな3値信号として順次出力することを特徴とする請求項7に記載の変調装置。

【請求項9】 各前記整数値を $b=9$ 、 $C=2$ 、 $m=4$ 、 $N=5$ とし、

9列にバラレルに入力される2値信号の通信データを、前記入力の度に4個の5値信号に順次変換し、前記変換により生成された前記4個の5値信号を、4列にバラレルな5値信号として順次出力することを特徴とする請求

項7に記載の変調装置。

【請求項10】 多値信号による通信を行なう通信システムにおいて、

通信データを多値信号に位相変調する変調装置が、入力される前記通信データを、予め定められたデータ量毎に複数の多値信号に順次変換し、前記多値信号を復調する復調装置に対して送信することを特徴とする通信システム。

【請求項11】  $b$ 、 $C$ 、 $m$ 、 $N$ を整数値とし、

前記変調装置が、入力される $C$ 値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする請求項10に記載の通信システム。

【請求項12】 入力される前記通信データの多値数である前記整数値 $C$ を、2とすることを特徴とする請求項11に記載の通信システム。

【請求項13】 整数値である前記 $b$ 、 $C$ 、 $m$ 、 $N$ の各値の設定を、 $N$ の $m$ 乗の値が、 $C$ の $b$ 乗の値よりも大きくかつ十分に近い値に予め設定して備えることを特徴とする請求項11又は請求項12に記載の通信システム。

【請求項14】 前記変調装置が、現在使用可能な伝送帯域と、送信する前記通信データに要求される通信速度に基づいて、前記 $b$ 、 $m$ 、 $N$ の各整数値を決定し、前記決定に基づいて前記通信データを前記 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする請求項11又は請求項12に記載の通信システム。

【請求項15】 前記変調装置が、 $b$ 列にバラレルに入力される前記 $C$ 値信号の通信データを、前記入力の度に $m$ 個の $N$ 値信号に順次変換し、前記変換により生成された前記 $m$ 個の $N$ 値信号を、 $m$ 列にバラレルな $N$ 値信号として順次出力することを特徴とする請求項11から請求項14のいずれか1つに記載の通信システム。

【請求項16】 前記復調装置が、前記変調装置から送信される $m$ 列にバラレルな前記 $N$ 値信号を受信し、前記変調装置による変調前の $b$ 列にバラレルな $C$ 値信号に復調することを特徴とする請求項15に記載の通信システム。

【請求項17】 各前記整数値を $b=11$ 、 $C=2$ 、 $m=7$ 、 $N=3$ とし、

前記変調装置が、11列にバラレルに入力される2値信号の通信データを、前記入力の度に7個の3値信号に順次変換し、前記変換により生成された前記7個の3値信号を、7列にバラレルな3値信号として順次出力することを特徴とする請求項15に記載の通信システム。

【請求項18】 各前記整数値を $b=9$ 、 $C=2$ 、 $m=4$ 、 $N=5$ とし、

前記変調装置が、9列にバラレルに入力される2値信号の通信データを、前記入力の度に4個の5値信号に順次変換し、前記変換により生成された前記4個の5値信号を、4列にバラレルな5値信号として順次出力することを特徴とする請求項15に記載の通信システム。

【請求項19】 コンピュータを制御することにより、通信データを位相変調する変調プログラムにおいて、入力される前記通信データを、予め定められたデータ量毎に複数の多値信号に変換して順次出力する機能を備えることを特徴とする変調プログラム。

【請求項20】 整数値である $b$ 、 $C$ 、 $m$ 、 $N$ の各値の設定を、 $N$ の $m$ 乗の値が、 $C$ の $b$ 乗の値よりも大きくかつ十分に近い値に予め設定して備え、

入力される $C$ 値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力する機能を備えることを特徴とする請求項19に記載の変調プログラム。

【請求項21】  $b$ 、 $C$ 、 $m$ 、 $N$ を整数値とし、入力される2値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力する機能を備えることを特徴とする請求項20に記載の変調プログラム。

【請求項22】 入力される前記通信データの多値数である前記整数値 $C$ を、2とすることを特徴とする請求項20又は請求項21に記載の変調プログラム。

【請求項23】  $b$ 列にパラレルに入力される前記 $C$ 値信号の通信データを、前記入力の度に $m$ 個の $N$ 値信号に順次変換し、前記変換により生成された前記 $m$ 個の $N$ 値信号を、 $m$ 列にパラレルな $N$ 値信号として順次出力する機能を備えることを特徴とする請求項20又は請求項22に記載の変調プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信信号の変調に関し、特にデジタルマイクロ波通信において多値変調による通信を行なう変調装置、通信システム、変調プログラムに関する。

【0002】

【従来の技術】 多値変調は、特にデジタルマイクロ波通信等で用いられている変調方式であり、従来の多値変調では、QAM (Quadrature Amplitude Modulation: 直交振幅変調、直交振幅位相変調) やPSK (Phase Shift Keying: 位相偏移変調) があり、4QAM、16QAM、32QAM、64QAM、128QAM、256QAM、…等や、BPSK (2PSK)、QPSK (4PSK)、8PSK等が実施されている。

【0003】 多値変調により生成され送信される多値信号は、その1つのシンボル (1クロック) において、“0”、“1”の2個のみからではなく、より多くの値 (4、8、16個、…) の中から1つを選択したデータを送信する。このため、4 ( $=2^2$ ) QAMの場合は1シンボルにて2ビットのデータを送信し、16 ( $=2^4$ ) QAMの場合は1シンボルにて4ビットのデータを送信し、32 ( $=2^5$ ) QAMの場合は1シンボルにて5ビットのデータを送信することができる。

【0004】 このように従来では、一般的に回路の簡便さ等の理由からその多値信号の多値数を、2、4、8、

16…等のように2のべき乗の値としている。

【0005】

【発明が解決しようとする課題】 上述したように従来の技術では、以下に述べるような問題点があった。

【0006】 従来では、多値信号として取りうる各多値数の値 (4、8、16、32…) がそれぞれ大きく離れているため、通信回線の伝送帯域を効率よく使用することが困難であった。この従来の大きく離れた多値数 (4、8、16、32…) の間を、2のべき乗の値以外の多値数を用いて埋めることができれば、より多様な周波数と送信電力の組み合わせを採用することができ、周波数と送信電力をより効率よく有効に利用することができる。

【0007】 また、近年の集積回路技術の進歩により、多値数を2のべき乗以外の値とする変調システムの、回路構成の複雑さによる実現の困難さは軽減されつつある。

【0008】 この問題点に対する従来の技術としては、例えば特開平04-196945号公報に開示された「多値変復調通信方法及びそのシステム」において、一般的な2又は2以上の数の変調シンボルに入力データ列を割り当てるシステムが提案されている。この従来技術では、2のべき乗の値以外の多値数を用いる多値変調の一般的な構成を示しているに過ぎない。

【0009】 また例えば、特開2001-246891号公報に開示された「多値変復調装置と多値変復調通信システム及びその変復調プログラムならびに変復調方法」においては、多値数を約 $2^{(p+0.5)}$ にすることを可能とし、3PSK、6PSK、12PSK…等の多値変調を実現する技術が提案されている。

【0010】 しかし、この特開2001-246891号公報の従来技術では、3相位相変調の場合で1シンボル当たり1.5ビットを伝送する方式の実現方法を開示しているに過ぎず、より効率よく、3相位相変調の場合に1シンボル当たり1.571… ( $=11/7$ ) ビットや、1.583… ( $=19/12$ ) ビットを伝送することはできない。

【0011】 更に、例えば、特開2001-246890号公報に開示された「多値変復調装置と多値変復調通信システム及びその変復調プログラムならびに変復調方法」に開示されている技術は、多値数を約 $2^{(p+0.25)}$ にすることを可能とし、10QAM、20QAM、40QAM…等の多値変調を実現する技術が提案されている。

【0012】 しかし、この特開2001-246890号公報の従来技術では、5相位相変調による通信 (5PSK、5QAM等) は実現できない。

【0013】 本発明の第1の目的は、上記従来技術の欠点を解決し、2のべき乗の値以外の多値数を用いて周波数と送信電力を有効利用することのできる変調装置、通

信システム、変調プログラムを提供することにある。

【0014】本発明の第2の目的は、上記従来技術の欠点を解決し、3相位変調の場合の1シンボル当たり伝送される情報量を従来の1.5ビットよりも高い、1.571... (=11/7) ビットや、1.583... (=19/12) ビットを実現する変調装置、通信システム、変調プログラムを提供することにある。

【0015】本発明の第3の目的は、上記従来技術の欠点を解決し、5相位変調による通信を実現する変調装置、通信システム、変調プログラムを提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため本発明の変調装置は、通信データを位相変調する変調装置において、入力される前記通信データを、予め定められたデータ量毎に複数の多値信号に変換して順次出力することを特徴とする。

【0017】請求項2の本発明の変調装置は、入力される前記通信データを蓄積する蓄積回路と、蓄積回路に蓄積された前記通信データを、予め定められたデータ量毎に前記複数の多値信号に変換する変換回路と、前記変換回路の変換に基づく前記多値信号を生成し出力する多値変調器を備えることを特徴とする。

【0018】請求項3の本発明の変調装置は、 $b$ 、 $C$ 、 $m$ 、 $N$ を整数値とし、入力される $C$ 値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする。

【0019】請求項4の本発明の変調装置は、入力される前記通信データの多値数である前記整数値 $C$ を、2とすることを特徴とする。

【0020】請求項5の本発明の変調装置は、整数値である前記 $b$ 、 $C$ 、 $m$ 、 $N$ の各値の設定を、 $N$ の $m$ 乗の値が、 $C$ の $b$ 乗の値よりも大きくかつ十分に近い値に予め設定して備えることを特徴とする。

【0021】請求項6の本発明の変調装置は、現在使用可能な伝送帯域と、送信する前記通信データに要求される通信速度に基づいて、前記 $b$ 、 $m$ 、 $N$ の各整数値を決定し、前記決定に基づいて前記通信データを前記 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする。

【0022】請求項7の本発明の変調装置は、 $b$ 列に平行に入力される前記 $C$ 値信号の通信データを、前記入力の度に $m$ 個の $N$ 値信号に順次変換し、前記変換により生成された前記 $m$ 個の $N$ 値信号を、 $m$ 列に平行な $N$ 値信号として順次出力することを特徴とする。

【0023】請求項8の本発明の変調装置は、各前記整数値を $b=11$ 、 $C=2$ 、 $m=7$ 、 $N=3$ とし、11列に平行に入力される2値信号の通信データを、前記入力の度に7個の3値信号に順次変換し、前記変換により生成された前記7個の3値信号を、7列に平行な3値信号として順次出力することを特徴とする。

【0024】請求項9の本発明の変調装置は、各前記整数値を $b=9$ 、 $C=2$ 、 $m=4$ 、 $N=5$ とし、9列に平行に入力される2値信号の通信データを、前記入力の度に4個の5値信号に順次変換し、前記変換により生成された前記4個の5値信号を、4列に平行な5値信号として順次出力することを特徴とする。

【0025】請求項10の本発明の通信システムは、多値信号による通信を行なう通信システムにおいて、通信データを多値信号に位相変調する変調装置が、入力される前記通信データを、予め定められたデータ量毎に複数の多値信号に順次変換し、前記多値信号を復調する復調装置に対して送信することを特徴とする。

【0026】請求項11の本発明の通信システムは、 $b$ 、 $C$ 、 $m$ 、 $N$ を整数値とし、前記変調装置が、入力される $C$ 値信号の通信データを順次 $b$ 個毎に、 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする。

【0027】請求項12の本発明の通信システムは、入力される前記通信データの多値数である前記整数値 $C$ を、2とすることを特徴とする。

【0028】請求項13の本発明の通信システムは、整数値である前記 $b$ 、 $C$ 、 $m$ 、 $N$ の各値の設定を、 $N$ の $m$ 乗の値が、 $C$ の $b$ 乗の値よりも大きくかつ十分に近い値に予め設定して備えることを特徴とする。

【0029】請求項14の本発明の通信システムは、前記変調装置が、現在使用可能な伝送帯域と、送信する前記通信データに要求される通信速度に基づいて、前記 $b$ 、 $m$ 、 $N$ の各整数値を決定し、前記決定に基づいて前記通信データを前記 $m$ 個の $N$ 値信号に変換して順次出力することを特徴とする。

【0030】請求項15の本発明の通信システムは、前記変調装置が、 $b$ 列に平行に入力される前記 $C$ 値信号の通信データを、前記入力の度に $m$ 個の $N$ 値信号に順次変換し、前記変換により生成された前記 $m$ 個の $N$ 値信号を、 $m$ 列に平行な $N$ 値信号として順次出力することを特徴とする。

【0031】請求項16の本発明の通信システムは、前記復調装置が、前記変調装置から送信される $m$ 列に平行な前記 $N$ 値信号を受信し、前記変調装置による変調前の $b$ 列に平行な $C$ 値信号に復調することを特徴とする。

【0032】請求項17の本発明の通信システムは、各前記整数値を $b=11$ 、 $C=2$ 、 $m=7$ 、 $N=3$ とし、前記変調装置が、11列に平行に入力される2値信号の通信データを、前記入力の度に7個の3値信号に順次変換し、前記変換により生成された前記7個の3値信号を、7列に平行な3値信号として順次出力することを特徴とする。

【0033】請求項18の本発明の通信システムは、各前記整数値を $b=9$ 、 $C=2$ 、 $m=4$ 、 $N=5$ とし、前記変調装置が、9列に平行に入力される2値信号の

通信データを、前記入力に度4個の5値信号に順次変換し、前記変換により生成された前記4個の5値信号を、4列にパラレルな5値信号として順次出力することとを特徴とする。

【0034】請求項19の本発明の変調プログラムは、コンピュータを制御することにより、通信データを位相変調する変調プログラムにおいて、入力される前記通信データを、予め定められたデータ量毎に複数個の多値信号に変換して順次出力する機能を備えることを特徴とする。

【0035】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0036】図1は、本発明の第1の実施の形態による変調装置100の構成を示すブロック図である。図1を参照すると、本実施の形態の変調装置は、通常の通信信号である2値信号の入力を受けてN値信号に位相変調して出力する装置であり、桁数制御回路10、2値b桁蓄積回路20、2進/N進変換回路30、N値m桁蓄積回路40、多値変調器50を備えている。

【0037】ここで、b、N、mはそれぞれ整数値を示す。例えば、出力信号の多値数であるNに3以上の整数を用いて、bとm(≥1)の各値を、 $2^b \leq N^m$ でありかつ $2^b$ と $N^m$ とが近い値となるように定める。

【0038】2値b桁蓄積回路20(蓄積回路)は、入力される通信データを蓄積する回路であり、ここでは2値信号をb桁(b個)毎に蓄積する。

【0039】2進/N進変換回路30(変換回路)は、2値b桁蓄積回路20に蓄積されている2値信号の通信データをb桁毎に取り出して、m桁(m個)のN値信号に変換する。

【0040】N値m桁蓄積回路40(送信データ蓄積回路)は、2進/N進変換回路30により変換されたN値信号を蓄積する。

【0041】多値変調器50は、N値m桁蓄積回路40に蓄積されたN値信号を出力する。多値変調器50は、例えば、PSKやQAMによる多値信号として出力する。

【0042】桁数制御回路10は、これら本実施の形態の変調装置100内の各部を制御する。

【0043】次に、本実施の形態の変調装置100の動作を説明する。図3は、本実施の形態による変調装置100の動作を説明するためのフローチャートである。

【0044】まず、変調装置100の入力端子に2値信号の通信データが入力され、これを2値b桁蓄積回路20が順次蓄積する。ここでは、2値b桁蓄積回路20は、2値信号としてb桁毎に蓄積する(ステップ301)。

【0045】そして、2進/N進変換回路30が、2値

b桁蓄積回路20に蓄積されている2値信号をb桁毎に、m桁のN値信号に変換する(ステップ302)。

【0046】そして、N値m桁蓄積回路40が、この変換されたm桁のN値信号を順次蓄積し、多値変調器50がこの蓄積されたN値信号を出力する(ステップ303)。

【0047】また、この一連の動作において、桁数制御回路10は、入力される2値信号と出力するN値信号とのクロック速度の調節等を行なう。例えば、桁数制御回路10は、入力される2値信号のクロック速度の(m/b)倍のクロック速度によりN値信号を出力する制御等を行なう。

【0048】ここで、2進/N進変換回路30による変換が実現できるためには、b個の2値信号により示される情報が、m個のN値信号により完全に表現できることが必要である。このためb、N、mの各整数値は、 $2^b \leq N^m$ の条件を満たすことが必要である。また、 $2^b$ が $N^m$ よりも大幅に少ない場合には、変換後のN値信号の1シンボル当たりの情報量が少なくなり通信の効率が悪い。そのため、 $2^b$ と $N^m$ の各値は十分に近いことが好ましい。

【0049】また、2進/N進変換回路30による変換処理は、例えば、変換元のb個の2値信号をb桁の2進数とみなし、変換後のm個のN値信号をm桁のN進数とみなして、2進数からN進数への数値表現を変換する処理を採用することにより一意に変換することができる。

【0050】以上の本実施の形態の変調装置100の一連の動作により、入力される2値信号による通常の通信データを、b個毎にまとめてこれをm個のN値信号に変換し、N値信号に位相変調して出力することができる。

【0051】また、本実施の形態の変調装置100は、入力される2値信号のクロック速度を $R_2$ と示し、出力するN値信号のクロック速度を $R_N$ と示すと、 $R_N = (m/b) * R_2$ の関係があり、(通常は、 $2 < N$ 、 $b > m$ であるため)より遅いクロック速度により信号を送出することができる。またこれにより、一定の伝送帯域においてより多くの情報量を伝送することができ、帯域制限通信路において必要とする伝送帯域を(m/b)に圧縮できるという効果が得られる。

【0052】また、上記の説明においては、入力される2値信号を2値b桁蓄積回路20が順次b個毎にまとめて蓄積することにより、そのm個のN値信号への変換を実現するものであるが、例えば、入力される通信データが、b列にパラレルに入力される2進信号である場合には、各クロック毎にその入力されたb個の2値信号を順次m個のN値信号に変換する方式を採用することもできる。また、この変換後のm個のN値信号を、m列にパラレルなN値信号として出力させることもできる。

【0053】図2は、本実施の形態による通信システム300の構成を示すブロック図である。本実施の形態の



変調装置 100 において位相変調され出力される N 値信号は、送信先の復調装置 200 がこれを受信して、変調装置 100 が交換する前の 2 値信号に位相変調する。

【0054】この復調装置 200 による N 値信号から 2 値信号への交換処理は、本実施の形態の変調装置 100 と同様にして実行することができ、例えば送信される N 値信号を蓄積して m 個毎に、順次 b 個の 2 値信号に交換して出力することができる。

【0055】この復調装置 200 の交換処理においては、前述の説明のように、交換元である m 個の N 値信号により示すことのできる情報は、交換後の b 個の 2 値信号により示すことのできる情報よりも多いが、交換元の N 値信号は、b 個毎の 2 値信号を m 個の N 値信号に交換して生成した信号であるため、交換後の信号に情報が不足することなく一意に変換することができる。この復調装置 200 の交換処理においては、変調装置 100 の場合と同様にして、N 進数から 2 進数への数値表現を変換する処理を採用することができる。

【0056】次に、本実施の形態の変調装置の様々な実施例を説明する。

【0057】図 4 は、第 1 の実施例の変調装置 100 a の構成を示すブロック図であり、先に説明した各整数の値を  $b = 11$ 、 $N = 3$ 、 $m = 7$  とする場合の実施例であり、11 桁の 2 値信号を 7 桁の 3 値信号に変換する。

【0058】図 4 を参照すると、本実施例の変調装置 100 a は、入力される 2 値信号を 11 桁毎に蓄積する 2 値 11 桁蓄積回路 20 a と、2 進 11 桁の信号を 3 進 7 桁の信号に変換する 2 進 3 進変換回路 30 a と、この交換された 7 桁の 3 値信号を順次蓄積する 3 値 7 桁蓄積回路 40 a と、3 値 7 桁蓄積回路 40 a に蓄積された N 値信号を出力する多値変調器 50 a と、これらの各回路を制御する桁数制御回路 10 a とを備える。

【0059】本実施例の変調装置 100 a の動作は、図 3 のフローチャートと同様であり、まず 2 値 11 桁蓄積回路 20 a が、入力端子に入力される 2 値信号の通信データを受け付けて、2 値信号として 11 桁毎に蓄積する。

【0060】そして、2 進 3 進変換回路 30 a が、2 値 11 桁蓄積回路 20 a に蓄積された 2 値信号を 11 個毎に、7 個の 3 値信号に変換する。この交換処理は、例えば 11 桁の 2 進数を、7 桁の 3 進数に変換する等の方法を用いることにより一意に変換することができる。

【0061】そして、3 値 7 桁蓄積回路 40 a が、この 2 進 3 進変換回路 30 a により交換された 3 値信号を蓄積し、多値変調器 50 a がその蓄積された 3 値信号を出力する。

【0062】この場合に桁数制御回路 10 a は、入力される 2 値信号のクロック速度の  $(7/11)$  倍のクロック速度により 3 値信号を出力する制御や、2 値信号及び 3 値信号の桁数をそれぞれ 11 及び 7 とする制御等を行

なう。

【0063】また、本実施例の変調装置 100 a は、11 列にバラレルに入力される 2 値信号の入力を受けて、各クロック毎にその入力された 11 個の 2 値信号を順次 7 個の 3 値信号に変換し、順次 7 列にバラレルな 3 値信号として出力させてもよい。

【0064】図 5 は、図 4 に示される第 1 の実施例の動作を示すタイムチャートであり、図 5 を参照すると、まず入力される 2 値信号は、2 値 11 桁蓄積回路 20 a が蓄積する。そして、2 進 3 進変換回路 30 a が、2 値 11 桁蓄積回路 20 a に蓄積された 2 値信号を 11 桁毎に (11 個毎に) 取り出して 3 進 7 桁の信号に変換する。そして、3 値 7 桁蓄積回路 40 a が、この交換された 7 桁の 3 値信号を蓄積し、7 桁の並列信号を時間多重して時間的に一列の 3 値信号を多値変調器 50 a に入力する変調信号とする。そして、多値変調器 50 a が、この変調信号を変調波として出力する。

【0065】従って、入力される 2 値信号の 11 ビット相当の時間は、3 値信号の 7 桁に相当し、この 7 桁の 3 値信号が時間的に一列に並べられるので、入力される 2 値信号のクロック速度を  $R_2$  とし、出力する 3 値信号のクロック速度を  $R_3$  と示すと、 $R_3 = (7/11) * R_2$  の関係が成立し、より遅い  $(7/11)$  倍のクロック速度により変調信号を出力することができる。従って、帯域制限通信路において伝送帯域を  $(7/11)$  に圧縮できるという効果が得られる。

【0066】次に、本実施の形態の第 2 の実施例を説明する。第 1 の実施例では、 $N = 3$ 、 $b = 11$ 、 $m = 7$  の場合について説明したが、図 6 に構成を示す第 2 の実施例の変調装置 100 b は、 $N = 5$ 、 $b = 9$ 、 $m = 4$  とする実施例である。

【0067】図 6 を参照すると、本実施例の変調装置 100 b は、入力される 2 値信号を 9 桁毎に蓄積する 2 値 9 桁蓄積回路 20 b と、2 進 9 桁の信号を 5 進 4 桁の信号に変換する 2 進 5 進変換回路 30 b と、この交換された 4 桁の 5 値信号を順次蓄積する 5 値 4 桁蓄積回路 40 b と、5 値 4 桁蓄積回路 40 b に蓄積された 5 値信号を出力する多値変調器 50 b と、これらの各回路を制御する桁数制御回路 10 b とを備える。

【0068】本実施例の変調装置 100 b の動作も、図 3 のフローチャートと同様であり、まず 2 値 9 桁蓄積回路 20 b が、入力端子に入力される 2 値信号の通信データを受け付けて、2 値信号として 9 桁毎に蓄積する。

【0069】そして、2 進 5 進変換回路 30 b が、2 値 9 桁蓄積回路 20 b に蓄積された 2 値信号を 9 個毎に、4 個の 5 値信号に変換する。この交換処理は、例えば 9 桁の 2 進数を、4 桁の 5 進数に変換する等の方法を用いることにより一意に変換することができる。

【0070】そして、5 値 4 桁蓄積回路 40 b が、この 2 進 5 進変換回路 30 b により交換された 5 値信号を蓄

積し、多値変調器50bがその蓄積された3値信号を出力する。

【0071】この場合に桁数制御回路10bは、入力される2値信号のクロック速度の $(4/9)$ 倍のクロック速度により5値信号を出力する制御や、2値信号及び5値信号の桁数をそれぞれ9及び4とする制御等を行なう。

【0072】従って、本実施例においては、5相位相変調を実現している。この時、BPSKの伝送帯域を1と表すと、QPSKの伝送帯域は $(1/2)$ 相当と示され、本実施例の5相位相変調においては伝送帯域を $(1/2.25)$ とすることができ、

【0073】従って、この本実施例等を適用することにより、伝送帯域を従来よりも効率よく利用して通信を行なうことができる。例えば、100Mbpsの通信速度により通信データを伝送したいが、周波数帯域45M (symbol/sec) 相当しかない時には、従来技術では、多値変調の多値数を4、8、16、…のようにそれぞれに大きく離れた数値の中から選択する必要があったため、8PSKでは33.3M (symbol/sec) となるために帯域が余りすぎ、またQPSK (4PSK) では50M (symbol/sec) となるために帯域が不足し使用することができない。

【0074】このような場合に、第2の実施例の5PSKを用いることにより、変調速度は44.4M (symbol/sec)  $(=100M \times (4/9))$  とできるので伝送可能となる。

【0075】また、帯域制限通信路においては、伝送帯域を余剰なく広く使うことで所要の符号誤り率を実現する信号対雑音比を改善できるので、一シンボル当たりの伝送ビット数を許容伝送帯域に整合させることが重要である。上記の例においては、伝送帯域を余らせて8PSKを用いた場合、符号誤り率で10のマイナス6乗を達成するために信号対雑音比で18.91dBを必要とするが、本願の5PSKを適用すれば15.1dBで同様の符号誤り率を達成することができる。

【0076】このように、伝送帯域を有効に利用することができると共に、電力の利用効率も改善できるという効果が得られる。

【0077】更に、本実施の形態の変調装置は、図7、図8に示す様に種々のパラメータの実施例が考えられ、3相位相変調や5相位相変調のより効率のよい通信を行なうことができる。図9に、これらの実施例について、一シンボル当たりの伝送ビット数を従来技術と対比させて示している。

【0078】つまり、多値変調における一シンボル当たりの伝送ビット数を、3値伝送の場合には $\log_3/\log_2=1.58496\cdots$ に近い値を実現することができ、5値伝送の場合には $\log_5/\log_2=2.321928\cdots$ に近い値を実現することができる。

【0079】次に、本発明のその他の実施の形態を説明する。

【0080】図10は、本発明の第2の実施の形態による変調装置100cの構成を示すブロック図である。第1の実施の形態においては、入力される通信データを、通常の通信信号であるC値信号とする方式であったが、本発明はこれに限定されるものではなく、多値信号の入力を受けてこれを他の多値数の多値信号に変換して出力する方式も、同様に実施することができる。

【0081】本実施の形態の変調装置100cは、入力されるC値信号をN値信号に位相変調して出力する。この多値数Cは、2、3、4、5…等の整数である。

【0082】本実施例の変調装置100cの動作は、第1の実施の形態と同様であり、まずC値b桁蓄積回路20cが、入力端子に入力されるC値信号の通信データを受け付けて、C値信号としてb桁毎に蓄積する。

【0083】そして、C進N進変換回路30cが、C値b桁蓄積回路20cに蓄積されたC値信号をb個毎に、m個のN値信号に変換する。この変換処理は、例えばb桁のC進数を、m桁のN進数に変換する等の方法を用いることにより一意に変換することができる。

【0084】そして、N値m桁蓄積回路40cが、このC進N進変換回路30cにより変換されたN値信号を蓄積し、多値変調器50cがその蓄積された3値信号を出力する。

【0085】この場合に桁数制御回路10cは、入力されるC値信号のクロック速度の $(m/b)$ 倍のクロック速度によりN値信号を出力する等の制御を行なう。

【0086】本実施の形態により、第1の実施の形態の効果に加えて、多値信号の入力を受けてこれを他の多値数の多値信号に変換して出力することができる。

【0087】また、本発明の更に他の実施の形態として、変調装置自身が、現在使用可能な伝送帯域と、送信する通信データに要求される通信速度に基づいて、b、m、Nの各整数の値を決定し、その決定に基づいて通信データをm個のN値信号に変換して順次出力する形態が可能である。この、b、m、Nの各整数の値を決定する処理は、桁数制御回路等において実行させることとする。

【0088】本実施の形態においても、入力される通信データは2値信号に限る必要はないが、以下2値信号の入力を受ける場合を例に説明する。

【0089】つまり、本実施の形態において位相変調する多値数を自由に設定する機能を備えるのであって、その多値数を変更する動作は、例えば、送信データに要求される通信速度 (例えば100M (bps)) を取得し、現在の伝送帯域の量 (例えば45M (symbol/sec)) を検出し、通信速度と伝送帯域に応じてb、m、Nの各整数値を決定する。

【0090】この多値数を決定する処理は、前述の説明

のように、 $2^{\wedge}(100/45)=4.666\cdots$ より大きい整数値として変調後の多値数として、 $N=5$ と決定すること等が可能である。そして、この多値数 $N=5$ と、入力信号の多値数である2との値に基づいて、図8に示されるように使用可能な $b$ と $m$ の値を決定する。

【0091】 $b$ と $m$ の値は、予め各 $N$ の値に対してその選択する値の設定を備える方式や（例えば、 $N=5$ ならば $b=9$ 、 $m=4$ 等）、予め指定された選択方法（通信効率を重視する方式や、蓄積の必要なデータ量が少ないことを重視する方式等）に従って自動選択する方式等が可能である。この $b$ と $m$ の値は、より大きな値を設定する方が、図8に示されるようにより効率的な通信を行なうことができる。また、より小さな値を設定する方が、変調装置内に蓄積を必要とするデータを少なくすることができる。

【0092】そして本実施の形態の変調装置は、通信データを新たに決定された $N$ 値信号に位相変調して送信する。

【0093】本実施の形態により、第1の実施の形態の効果に加えて、より適切に柔軟に伝送帯域を使用して通信することができる。

【0094】なお、上記各実施の形態、実施例の変調装置100、100a、100b、100cは、桁数制御回路や変換回路の機能や、その他の機能をハードウェア的に実現することは勿論として、各機能を備えるコンピュータプログラムである変調プログラム90、90a、90b、90cを、コンピュータ処理装置のメモリにロードされることで実現することができる。この変調プログラム90、90a、90b、90cは、磁気ディスク、半導体メモリその他の記録媒体に格納される。そして、その記録媒体からコンピュータ処理装置にロードされ、コンピュータ処理装置の動作を制御することにより、上述した各機能を実現する。

【0095】以上好ましい実施の形態及び実施例をあげて本発明を説明したが、本発明は必ずしも上記実施の形態及び実施例に限定されるものではなく、その技術的思想の範囲内において様々に変形して実施することができる。

【0096】

【発明の効果】以上説明したように本発明の変調装置、通信システム、変調プログラムによれば、以下のような効果が達成される。

【0097】本発明では、入力される通信データを蓄積することにより、通信データを予め定められたデータ量毎に、複数個の多値信号に変換して順次出力することができる。このため、従来の多値変調においては4QAM、16QAM、32QAM、64QAM、128QAM、256QAM…等のように、多値変調の多値数を2の冪乗としてきたのに対して、本発明では、多値数を必ずしも2のべき乗とすることを必要とせずに、様々な多

値数を柔軟に選択した多値変調を実現することができる。

【0098】その効果として、例えば、本発明の第1の実施の形態の第1の実施例において説明した3相位相変調は、QPSK（4PSK）では周波数帯域に余裕があり過ぎだがBPSK（2PSK）では要求される周波数帯域に入らない場合において、その中間の変調方式として用いることができる。その結果、周波数の有効利用と共に、QPSKに比べて少ない所用の信号対雑音比で3相位相変調が実現できるため電力の有効利用の効果も得られる。

【0099】本発明では、図7、図8に示す様に種々のパラメータによる位相変調を実施することができ、効率のよい通信を行なうことができる。多値変調におけるシンボル当たりの伝送ビット数を、3値伝送の場合には $\log_3/\log_2=1.58496\cdots$ に近い値を実現することができ、5値伝送の場合には $\log_5/\log_2=2.321928\cdots$ に近い値を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態による変調装置の構成を示すブロック図である。

【図2】 本発明の第1の実施の形態による通信システムの構成を示すブロック図である。

【図3】 本発明の第1の実施の形態による変調装置の動作を説明するためのフローチャートである。

【図4】 本発明の第1の実施例の変調装置の構成を示すブロック図である。

【図5】 本発明の第1の実施例の変調装置のタイミングチャートである。

【図6】 本発明の第2の実施例の変調装置の構成を示すブロック図である。

【図7】 本発明の第1の実施例の変調装置のパラメータを示す図である。

【図8】 本発明の第2の実施例の変調装置のパラメータを示す図である。

【図9】 本発明の各実施例により実現される効果を示す図である。

【図10】 本発明の第2の実施の形態による変調装置の構成を示すブロック図である。

【符号の説明】

100、100a、100b、100c 変調装置

10 桁数制御回路

20 蓄積回路

30 変換回路

40 送信データ蓄積回路

50 多値変調器

90、90a、90b、90c 変調プログラム

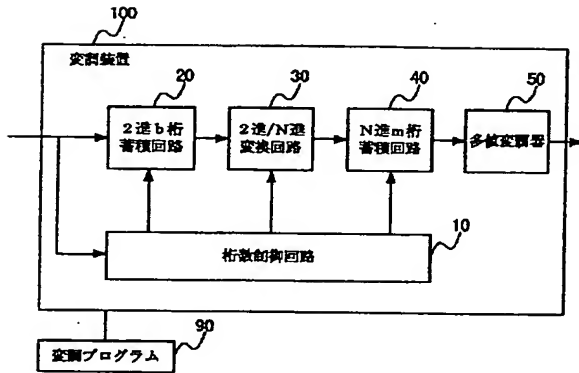
110 送信機

200 復調装置

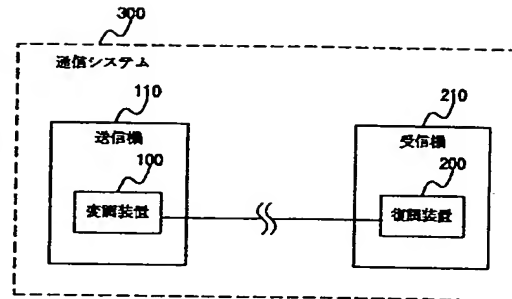
210 受信機

## 300 通信システム

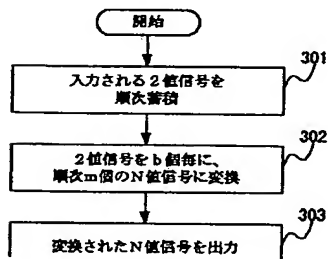
【図1】



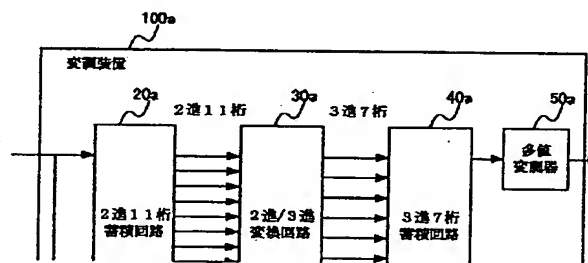
【図2】



【図3】

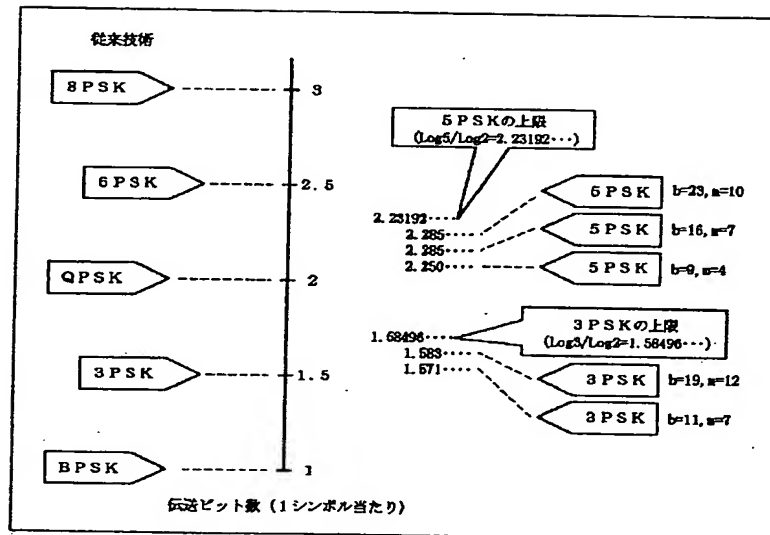


【図4】





【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**